

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330982

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	21/768		H 0 1 L	21/90	S
	21/316			21/316	G

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平9-58062

(22) 出願日 平成9年(1997)3月12日

(31) 優先権主張番号 9 6 P 9 5 7 8

(32) 優先日 1996年3月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 崔 志 鉉

大韓民国ソウル特別市永登浦區大林3洞

762番地 宇成アパート5棟106號

(72) 発明者 李 海 程

大韓民国京畿道水原市八達区梅灘洞810番

地 三星2次アパート3棟206號

(72) 発明者 黄 秉 權

大韓民国京畿道安養市東安區虎溪2洞916

-2番地 コハンアパート1棟102號

(74) 代理人 弁理士 八田 幹雄 (外1名)

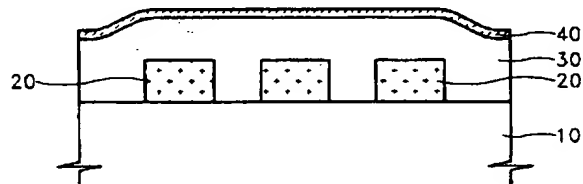
最終頁に続く

(54) 【発明の名称】 半導体装置の層間絶縁膜形成方法

(57) 【要約】

【課題】 半導体装置の層間絶縁膜形成方法を提供する。

【解決手段】 所定のパターンが形成された半導体基板の全面にヒドロゲンシルセスキオキサン物質を用いるSOG層を形成し、前記SOG層を400～750℃の温度でベーキング処理して、前記ベーキング処理されたSOG層の上にプラズマ励起CVD方式により吸湿防止層を形成した後、550～750℃の温度でアニーリングする。本発明によれば、吸湿防止層によりSOG層の吸湿性を顕著に減少させ得る。



る。

【0007】

【課題を解決するための手段】前記目的を達成するために本発明は、所定のパターンが形成された半導体基板の全面にSOG層を形成する段階と、前記SOG層を400～750℃の温度でベーキング処理する段階と、前記ベーキング処理されたSOG層の上に吸湿防止層を形成する段階と、前記吸湿防止層が形成された結果物を550～750℃の温度でアニーリングする段階とを含むことを特徴とする半導体装置の層間絶縁膜形成方法を提供する。

【0008】望ましくは、前記SOG層は、シリケート、シロキサンまたはヒドロゲンシルセスキオキサンで形成される。かつ、望ましくは、前記SOG層を形成する段階後、前記SOG層を硬化させる段階をさらに含むことを特徴とする。さらに望ましくは、前記SOG層を硬化させる段階は前記SOG層に対してO₂プラズマ処理を行う。または、前記SOG層を硬化させる段階は前記SOG層に対してイオン注入を行うこともできる。前記イオン注入段階はArイオンを注入することができる。

【0009】望ましくは、前記吸湿防止層を形成する段階は、前記SOG層の上にCVD方法により酸化膜を形成する段階を含め、前記CVD方法としては、プラズマ励起CVD、大気圧CVDまたは減圧CVD方法を用いることができる。かつ、望ましくは、前記SOG層を形成する段階前、CVD方法により酸化膜を形成する段階をさらに含む。本発明によれば、半導体装置の層間絶縁膜として用いられるSOG層の吸湿性を顕著に減少させる。

【0010】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳しく説明する。

【0011】

【実施例】図1及び図2を参照して本発明による層間絶縁膜形成方法を説明すると、次の通りである。図1を参照すれば、半導体基板10の上に所定のパターン20を形成し、前記所定のパターン20の形成された結果物の全面に層間絶縁膜としてSOG層30を形成する。前記所定のパターン20は、例えば下部配線、トランジスタまたはキャパシタである。層間絶縁膜として用いられた前記SOG層30はクラック抵抗が比較的優れる物質で形成される。具体的には、前記SOG層30は液状のSOG物質をウェーハの表面上に塗布した後、ウェーハを所定の速度で回転させることにより形成される。前記SOG層の形成に用いられるSOG物質としては、有機または無機SOG系物質が用いられる。例えば、シリケート、シロキサンまたはヒドロゲンシルセスキオキサンが用いられる。

【0012】必要に応じては、前記SOG層30を形成

する前に、前記所定のパターン20の形成された結果物の全面にCVD (Chemical Vapor Deposition) 方法による酸化膜 (図示せず) を形成することもできる。

【0013】かつ、前記SOG層30におけるクラックの発生を防止し、絶縁強度を向上させるため、前記SOG層30を形成した後、前記SOG層30を硬化させる。前記SOG層30を硬化させるため、O₂プラズマ処理工程又はイオン注入工程が行われる。このイオン注入工程に用いられるイオンとしては、アルゴン (Ar) がある。その後、前記SOG層30を400～750℃の温度、例えば400℃の温度で約30分間ベーキング処理を行う。

【0014】図2を参照すれば、前記ベーキング処理されたSOG層30の上に吸湿防止層40、例えば酸化膜を形成する。前記吸湿防止層40は大気中の水分が前記SOG層30の内部に浸透することを防止して前記SOG層30を安定化及び高密度化 (densification) させるためのものである。このような吸湿防止層40は約200～750℃の温度でCVD方法、例えばプラズマ励起CVD、大気圧CVDまたは減圧CVD方法で形成される。

【0015】その後、前記SOG層をさらに高密度とするため、前記結果物に対して550～750℃、望ましくは、700℃の温度で30分間アニーリングを行う。前記吸湿防止層40を約600℃以上の温度で形成する場合は、このようなアニーリング工程は省くこともできる。このように形成されたSOG層30及び吸湿防止層40は本発明による層間絶縁膜を構成する。

【0016】【評価例】本発明による層間絶縁膜形成方法の効果を評価するため、SOG層を構成する物質として無機SOG系物質、例えばヒドロゲンシルセスキオキサンを用いて基板上にSOG層を形成した後、ベーキング処理してサンプルを製造した。このように得られたサンプルに対してSOG層を様々な方法で処理した後、5日間大気中に放置する。その後、IRスペクトルを用いてSOG層に含有された物質の吸光度をFTIR (Fourier Transform Infrared) で分析した。

【0017】図3はFTIR分析の結果を示す。図3において、(a)は前記サンプルに対して700℃の温度で30分間アニーリングを施した後、O₂プラズマ処理によりSOG層の上に吸湿防止層を形成した場合、

(b)は前記サンプルに対して700℃の温度で30分間アニーリングを施した後、プラズマ励起CVD処理によりSOG層の上に吸湿防止層を形成した場合、(c)は前記サンプルに対してプラズマ励起CVD処理によりSOG層の上に吸湿防止層を形成した後、700℃の温度で30分間アニーリングを施した場合の結果を示す。

【0018】かつ、比較のために、(d)は前記サンプルに対して700℃の温度で30分間アニーリングのみを行い、吸湿防止層は形成しない場合、(e)は前記サ

フロントページの続き

(72) 発明者 具 珠 善

大韓民国京畿道龍仁市器興邑農書里山24番
地

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074755

(43)Date of publication of application : 17.03.1998

(51)Int.Cl. H01L 21/316
H01L 21/768

(21)Application number : 09-204903

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 30.07.1997

(72)Inventor : JENG SHIN-PUU
TAYLOR KELLY J
CHATTERJEE AMITAVA

(30)Priority

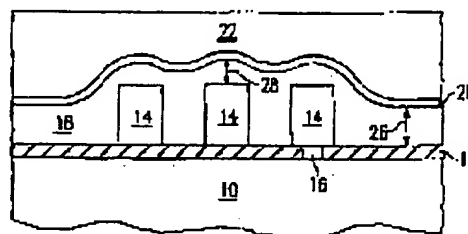
Priority number : 96 23133 Priority date : 30.07.1996 Priority country : US

(54) MICROELECTRONIC STRUCTURE AND ITS FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an improved method of depositing HSQ (hydrocinsilsesquioxane) in an integrated circuit structure and a process where a required multilayer interconnection is formed.

SOLUTION: First, a wiring 14 is patterned on a substrate 10 by etching. Low-k material such as HSQ(Hydrocinsilsesquioxane) is applied onto the substrate 10 by pin coating traversing its surface so as to fill up regions between wirings. A capping layer such as an SiO₂ layer 20 and the like is formed on the top of the applied low-k material layer. Then, the low-k material layer 20 of HSQ is cured by heating. Then, a thin SiO₂ flattening layer 22 is formed for flattening. In another method, an HSQ and SiO₂ process is repeatedly carried out for the formation of a multilayered HSQ.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]